

Referat:

TTL

CMOS

INHALTSVERZEICHNIS:

TTL:

	Seite
1. TTL allgemein	3
1.1 Logikpegel.....	3
1.2 TTL – Schaltungsvarianten.....	4
1.2.1 Standard- TTL.....	4
1.2.2 Low-Power-TTL.....	5
1.2.3 High-Speed-TTL	5
1.2.4 Schottky- TTL.....	5
1.2.5 Low-Power-Schottky – TTL.....	6
1.2.6 Advanced Schottky-TTL	7
1.2.7 Fast-TTL	7
1.3 TTL-Ausgangsschaltungen.....	8
1.3.1 Standardausgang	8
1.3.2 Open-Collektor- Ausgang	8
1.3.3 Tri-State -Ausgang	9

CMOS:

2. Einleitung CMOS	11
2.1 Funktion	11
2.1.1 Statische Funktion der CMOS Schaltung	11
2.1.2 Dynamische Funktion der CMOS- Schaltung	12
2.2 CMOS- Logik.....	13
2.2.1 CMOS- Inverter Grundsaltung	13
2.2.2 CMOS-NAND	14
2.2.3 CMOS-NOR	15
2.3 High Speed CMOS	15
2.4 HCTMOS	16
2.5 ACL (Advanced-CMOS- Logik)	17
2.6 Interfaceschaltungen bzw. Pegelanpassung	17
2.6.1 Pegelanpassung CMOS⇒TTL	18
2.7 Transmission Gate	19
2.8 Vergleich CMOS-TTL	21

1. TTL allgemein

Die Bezeichnung TTL bedeutet Transistor-Transistor-Logik und beschreibt, dass sowohl die Signal-Ein-, als auch die Auskopplung über Transistoren erfolgt. Wesentliches Merkmal der TTL-Schaltung ist am Eingang der Multi-Emitter-Transistor. Er ist in allen Schaltkreisen der Standard-TTL-Reihen 74xx zu finden, egal, wie komplex deren Innenleben auch ist. Lediglich bei den High-Speed-Baureihen mit dem S oder LS in der Typenbezeichnung finden sich statt der Multi-Emitter-Transistoren Schottky-Diodeneingänge, da deren Schaltzeiten wesentlich kürzer sind als die von Transistoren. Der Multi-Emitter-Transistor besitzt mehrere Emitterzonen, die an eine gemeinsame Basiszone grenzen.

1.1 Logikpegel

Der Logikpegel ist kein konkreter Wert es ist nur ein bestimmter Spannungsbereich, es wird als nur zwischen den Pegel LOW (L) = niedrig und HIGH (H) = hoch unterschieden.

Der High – Pegel darf nach Angaben des Herstellers einer Schaltung in einem bestimmten Spannungsbereich schwanken. Ebenfalls darf der Low – Pegel in einem bestimmten Spannungsbereich schwanken. Diese Bereiche heißen Toleranzbereiche oder Pegelbereiche (Abb. 1.1)

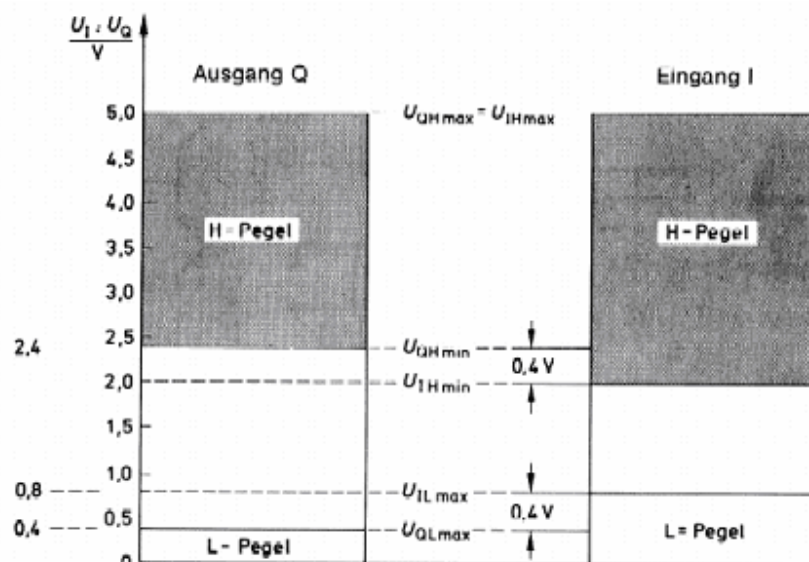


Abb. 1.1 Ein- und Ausgangspegel der TTL Familie

1.2 TTL – Schaltungsvarianten

1.2.1 Standard- TTL z.B. 7400

Die dargestellte Schaltung mit einer Gegentakt Endstufe (Toten – Pole – Schaltung) stellt ein NAND – Gatter dar. Funktion der Schaltung: Liegt min. ein Eingang auf Low Potential, so wird der Eingangstransistor leitend. (Sein Basisstrom liegt in der Größenordnung 1mA). Als Kollektorstrom fließt jedoch nur ein aus der Basis des Transistors T_2 austretender Sperrstrom, so dass der Emitterstrom gleich dem Basisstrom ist. Transistor T_2 wird gesperrt, da seine Basis auf Low – Potential gezogen wird. Dadurch sperrt auch Transistor T_3 , Transistor T_4 dagegen wird leitend und zieht als Emitterfolger den Ausgang auf High – Potential.

Wenn alle Emitter des Transistors T_1 auf High – Potential geschaltet werden wird T_1 invers leitend. (*Die inverse Stromverstärkung ist wesentlich kleiner als Eins. Überzählige Emitter müssen auf High – Potential gelegt werden.*) Es fließt ein Strom in die als Kollektor wirkenden Emitter hinein, der zusammen mit dem zufließenden Basisstrom Transistor T_2 aufsteuert. Damit wird auch Transistor T_3 leitend, der den Ausgang auf Low – Potential zieht, Transistor T_4 wird gesperrt. Während des Umschaltvorganges sind kurze Zeit Transistor T_3 und T_4 gleichzeitig leitend, so dass in dieser Übergangszeit ein unvermeidlicher großer Strom über beide Transistoren fließt, dessen Größenordnung einige mA beträgt. Die Diode in der Emitterleitung des Transistors T_4 sorgt jedoch danach für ein sicheres Sperren diese Transistors. Sie vergrößert seine Eingangsschwellenspannung, indem sie sein Emitterpotential um etwa 0,6 V anhebt.

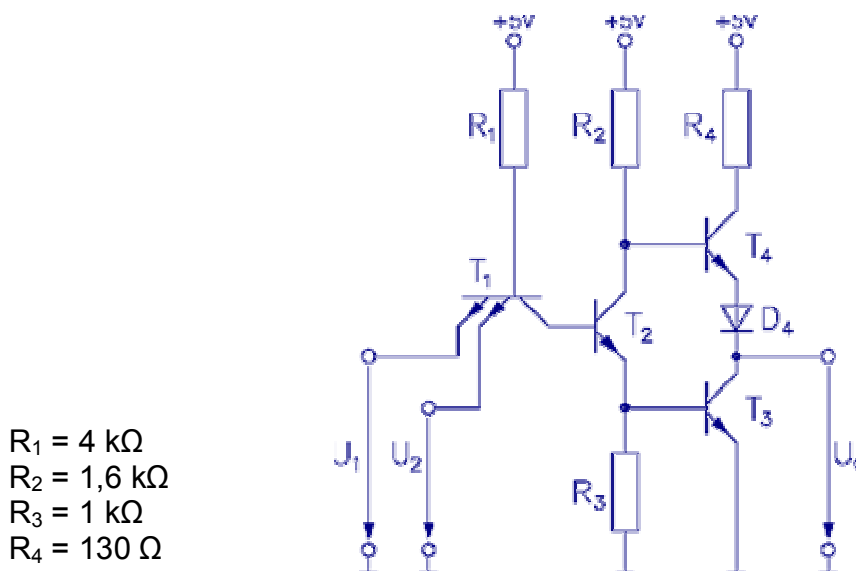


Abb. 1.2: Standard – TTL – NAND – Gatter

1.2.2 Low-Power-TTL z.B. 74L00

Sie unterscheidet sich vom Standard-TTL durch eine um Faktor 10 hochohmigerere Schaltungsauslegung. Dadurch sinkt die Leistungsaufnahme auf 1/10. Ebenso verringern sich die Eingangs- und Ausgangsströme. Die Schaltzeiten verlängern sich auf ca. 30 ns. Auch diese TTL-Variante ist nicht mehr aktuell.

1.2.3 High-Speed-TTL z.B. 74H00

Sie ist speziell auf kurze Schaltzeiten ausgelegt. Die Widerstandswerte sind gegenüber den Standard-TTL's um Faktor 2 niederohmiger. Damit verlaufen die Ladungs- und Entladungsvorgänge wesentlich schneller. Nachteil: große Leistungsaufnahme.

1.2.4 Schottky – TTL z.B. 74S00

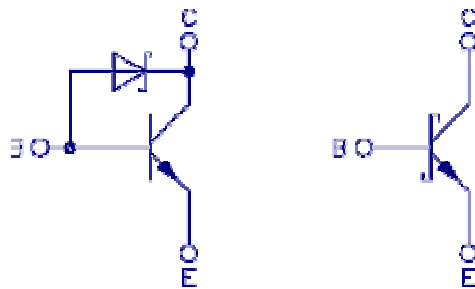


Abb. 1.3 Schottky – Transistor / Schaltsymbol

Schottky-TTL ist eine neuere Variante von der TTL-Familie. Durch Zuschalten einer Diode (Abb. 1.3) kann ein Transistor daran gehindert werden, weit in den Übersteuerungszustand zu schalten. Die Diode muss allerdings eine kurze Schaltzeit haben. Man verwendet daher Schottky-Dioden. Diese haben eine extrem kurze Schaltzeit und eine Schwellspannung von etwa 0,35 V. Der Transistor in Abb. 1.3 kann nur soweit durchsteuern, bis U_{CE} auf etwa 0,4V abgesunken ist. Dann verhindert die Schottky-Diode ein weiteres Durchsteuern. Sie wird leitend. Vom Basisanschluss fließt ein Strom über die Schottky-Diode und die Kollektor-Emitter-Strecke des Transistors zur Masse. Dieser Strom steht als Basisstrom nicht mehr zur Verfügung. Der Anfang des Übersteuerungsbereichs eines Transistors wird erreicht, wenn U_{CE} auf den Wert von U_{BE} abgesunken ist. Bei $U_{CE} = 0,4$ ist der Transistor schon leicht in den Übersteuerungsbereich hineingesteuert worden. Die Übersteuerung ist allerdings sehr schwach.

1.2.5 Low-Power-Schottky-TTL z.B. 74LS00

Der Vergleich mit dem Standard TTL-Gatter (Abb.1.1) zeigt, dass die Schaltung um einen Faktor 5 hochohmiger dimensioniert ist. Dadurch ist die Leistungsaufnahme um einen Faktor 5 niedriger und beträgt nur 2 mW. Trotzdem ist die Gatterlaufzeit nicht größer und beträgt nur 10 ns. Die in der Endstufe zur Potentialverschiebung erforderliche Diode D (Abb.1.1) wird hier durch die Darlingtonschaltung T_3 ersetzt.

Die Übertragungskennlinie eines Low-Power-Schottky-Inverters ist in Abb. 1.5 zu sehen. Man erkennt, dass der Umschaltpegel bei ca. 1,1V am Eingang liegt. Die spezifizierten Toleranzgrenzen werden weit übertroffen: Bei dem höchsten zulässigen L-Pegel am Eingang von 0,8V muss sich am Ausgang ein H-Pegel von mindestens 2,4V ergeben. Bei dem niedrigsten H-Pegel am Eingang von 2,0V darf der L-Pegel am Ausgang höchstens 0,4V betragen.

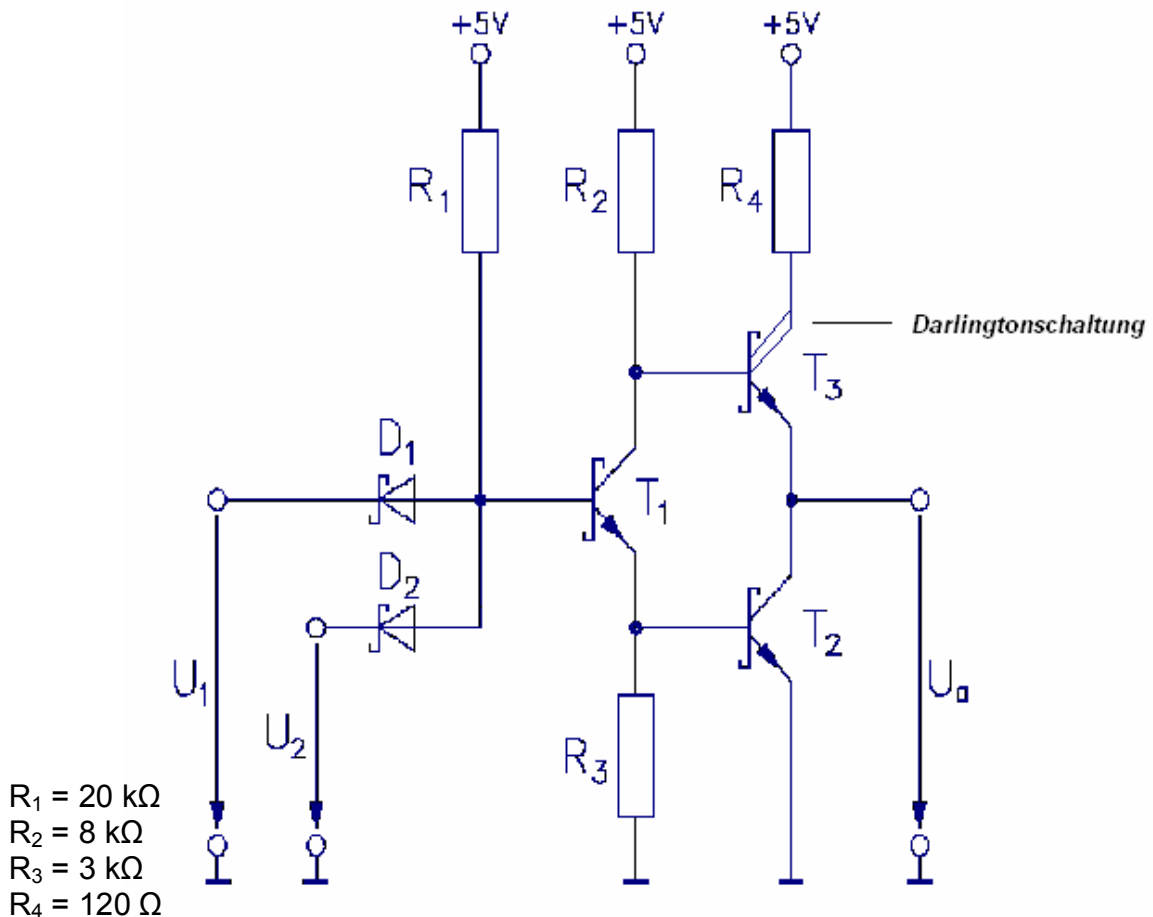


Abb. 1.4 Low Power Schottky TTL

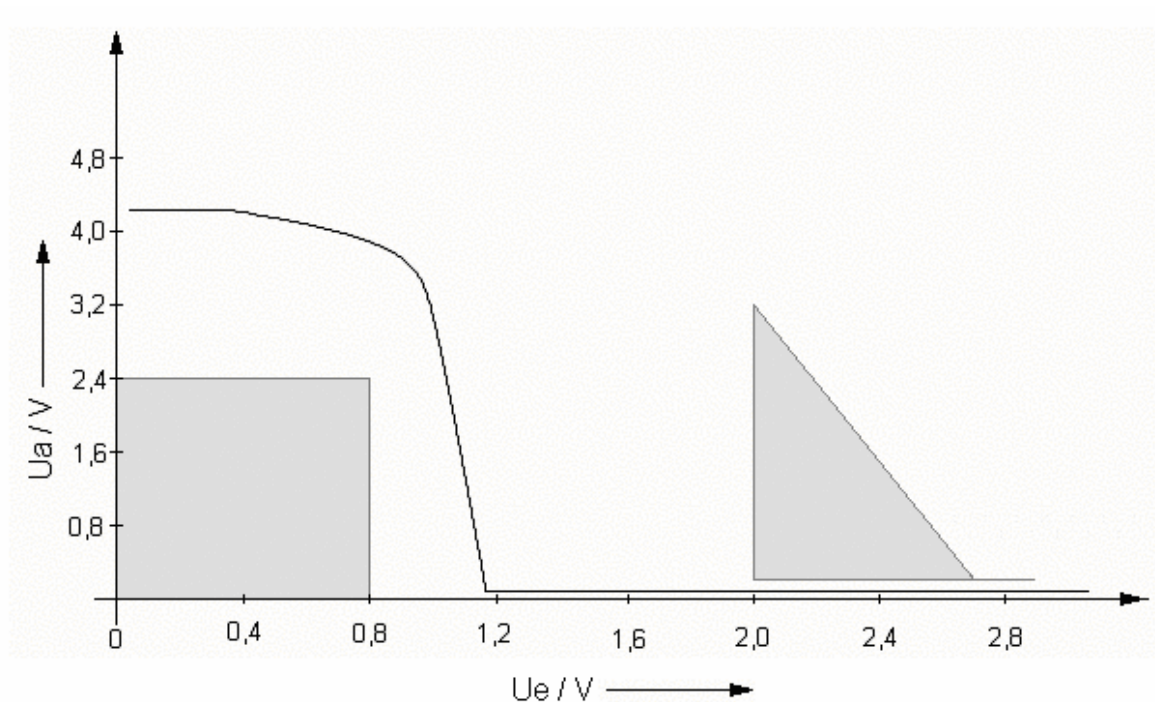


Abb. 1.5 Übertragungskennlinie eines Low – Power – Schottky – TTL – Inverters.
Grau: Toleranzgrenzen

1.2.6 Advanced Schottky-TTL z.B. 74AS00 oder 74ALS00

Durch Anwendung neuer Herstellungstechnologien (Ionenimplantation und Oxidisolierung anstelle von Sperrschichtisolation) konnten die Einzeltransistoren verkleinert werden.

1.2.7 Fast-TTL

Sehr verbreitete Hochgeschwindigkeitslogik. Sie wurde dort eingesetzt, wo der Leistungsverbrauch der S-TTL (Standart) zu hoch und die Geschwindigkeit der LS-TTL zu langsam ist. Für Neuentwicklungen nicht mehr verwenden! Stattdessen sollte die AS-Familie (Advanced Schottky) benutzt werden.

1.3 TTL-Ausgangsschaltungen

1.3.1 Standardausgang

Die Standardausgangsstufe des TTL-Gatters ist eine Gegentaktendstufe. Sie kann mit 10 Standardeingängen belastet werden. Man nennt dies FAN-OUT = 10. Ein Standardeingang hat ein FAN-IN = 1.

1.3.2 Open-Kollektor-Ausgang

Mitunter tritt das Problem auf, dass man die Ausgänge sehr vieler Gatter logisch verknüpfen muss. Bei z.B. 20 Ausgängen würde man dazu ein Gatter mit 20 Eingängen benötigen und müsste einzelne Leitungen dorthin führen. Dieser Aufwand lässt sich umgehen, wenn man Gatter mit offenem Kollektor – Ausgang verwendet. Sie besitzen als Ausgangsstufe einen npn Transistor, dessen Emitter an Masse liegt!. Solche Ausgänge kann man im Unterschied zu den sonst verwendeten Gegentaktendstufen ohne weiteres parallel schalten und mit einem gemeinsamen Kollektorwiderstand versehen.

Das Ausgangspotential geht nur dann in den H – Zustand, wenn alle Ausgänge im H – Zustand sind. In positiver Logik ergibt sich demnach eine UND – Verknüpfung. Andererseits erkennt man, dass die Ausgangsspannung dann in den L – Zustand geht, wenn einer oder mehrere der Ausgänge in den L – Zustand gehen. In negativer Logik ergibt sich demnach einer ODER – Verknüpfung. Da die Verknüpfung durch die äußere Verdrahtung erreicht wird, spricht man von wired – and bzw. wired – or – Verknüpfung.

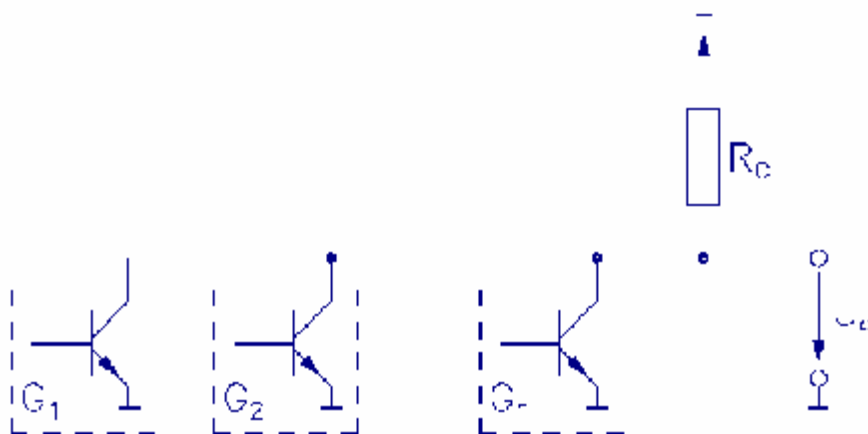


Abb. 1.6 Logische Verknüpfung von Gatter – Ausgängen mit offenem Kollektor

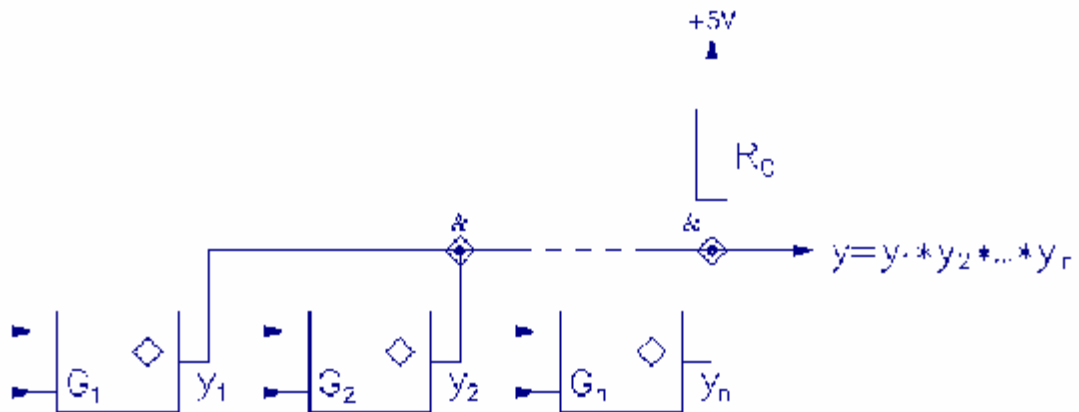


Abb. 1.7 Darstellung einer wired – and Verknüpfung mit logischen Symbolen

1.3.3 Tri-State-Ausgang

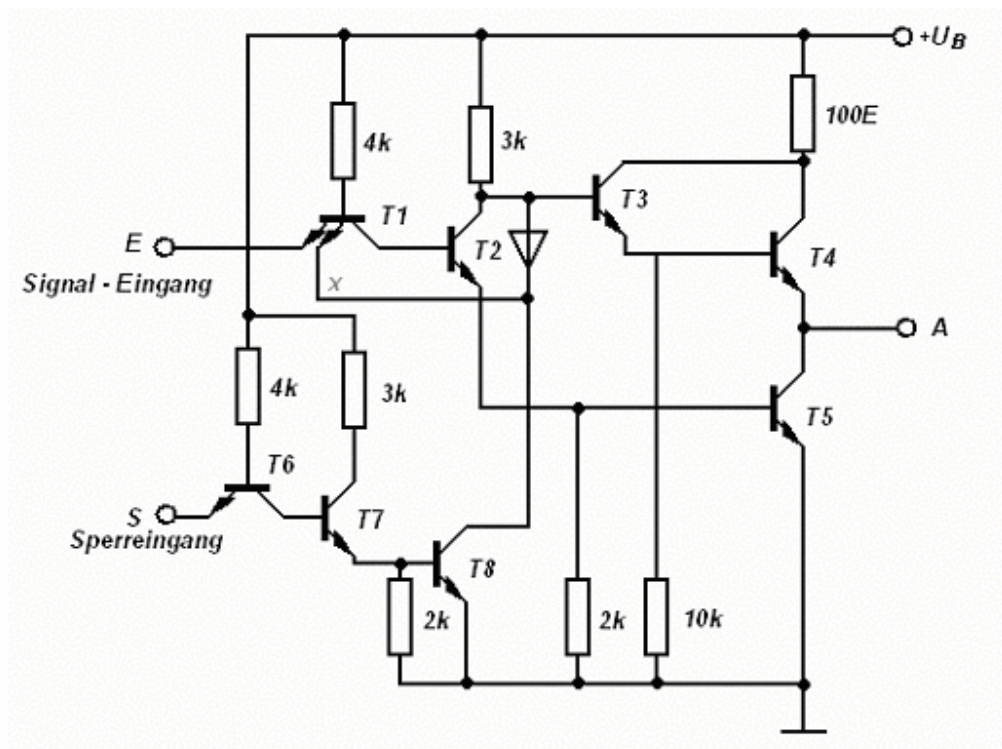


Abb. 1.8 TTL – Tristate – Schaltung

Sperr- Eingang S	Signal- Eingang E	Ausgang A
L	L	H
L	H	L
H	L	hochohmig
H	H	hochohmig

Tabelle 1.1: Funktionstabelle

1. Legt man an den Sperreingang S ein Low – Signal an, so wird Transistor T_6 leiten. Als Kollektorstrom fließt jedoch nur ein aus der Basis des Transistors T_7 austretender Sperrstrom, so dass der Emittterstrom gleich dem Basisstrom ist. wodurch auch Transistor T_7 und auch T_8 sperren.
 - a) Wird nun an den Signal – Eingang E ein Low – Signal angelegt, so wird Transistor T_1 leiten, aber Transistor T_2 sperrt. Transistor T_3 wird leiten, wodurch auch T_4 leitet. Wir erhalten am Ausgang ein High – Signal.
 - b) Wird an den Signal – Eingang E ein High Signal angelegt, so wird Transistor T_1 leiten, wodurch auch T_2 leitet. Dadurch leitet auch Transistor T_5 . Transistor T_3 und T_4 sperren. Am Ausgang erhalten wir ein Low – Signal.
2. Legt man an den Sperreingang ein High – Signal an, so wird Transistor T_6 invers leitend. Dadurch leitet Transistor T_7 und Transistor T_8 . Dadurch dass, Transistor T_8 leitet haben wir ein Null Potential an X (*in Schaltung gekennzeichnete(r) Punkt*). Somit ist egal ob wir ein High – oder Low – Signal an den Signal Eingang E anlegen, denn der Transistor T_1 wird gesperrt, und damit wird auch Transistor T_2 und T_5 gesperrt. Transistor T_3 wird ebenfalls gesperrt, wodurch auch Transistor T_4 gesperrt wird. – Am Ausgang erhalten wir ein hochohmigen Zustand.

2. Einleitung CMOS

Der Name CMOS ist eine Abkürzung und bedeutet Complementary-Metall-Oxide-Silizium.

CMOS gilt heute als eine der universellsten, modernsten Logikfamilien. Sie arbeitet über einen breiten, nicht kritischen Bereich der Betriebsspannung und nimmt überhaupt keine Leistung auf. Die Eingänge besitzen nahezu eine unendlich hohe Eingangsimpedanz. Zusätzlich reicht die Ausgangsleistung, um fast beliebig viele CMOS- Bausteine zu treiben. Die CMOS Bausteine verwenden nur Selbstsperrende MOSFET.

Vorteile:

- benötigt fast keine Steuerleistung
- sehr kleine Bauform
- Leistungsbedarf extrem niedrig (bis 10 nW statisch)
- Festlegbare Betriebsspannungen von +3V bis +15 V
- Große Integrationsdichte

Nachteile:

- relativ große Schaltzeiten
- empfindlich gegen Statische Aufladung
- Ausgänge empfindlich gegen kapazitive Belastung

2.1 Funktion

2.1.1 Statische Funktion der CMOS Schaltung

Eingang E = GND: P- Kanal- MOS-FET (T1) ist leitend -> Ausgang A = + U_{CC}
Eingang E = + U_{CC}: N- Kanal- MOS-FET (T2) ist leitend -> Ausgang A = GND

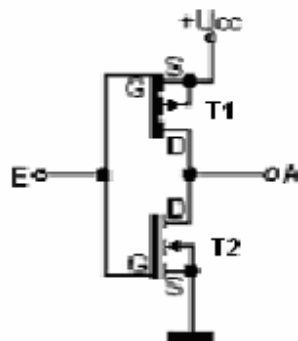


Abbildung 2.1

Ein Transistor ist im statischen Betrieb immer gesperrt. Es fließt praktisch kein Querstrom von U_{CC} nach GND. Die CMOS- Schaltung hat daher im statischen Betrieb praktisch keine Stromaufnahme.

2.1.2 Dynamische Funktion der CMOS-Schaltung

Wenn sich die Spannung am Eingang A von GND auf U_{CC} ändert, geht der P-Kanal-MOS-FET vom leitenden in den sperrenden Zustand über, der N-Kanal-MOS-FET verhält sich genau umgekehrt. Bei halber Eingangsspannung sind beide Transistoren teilweise leitend, es fließt im Umschaltzeitpunkt ein Querstrom. Die entstehende Verlustleistung ist näherungsweise proportional dem Quadrat der Versorgungsspannung. Damit die beim Übergang durch den Querstrom auftretende Verlustleistung klein bleibt, muss die Eingangsspannung sich schnell ändern. Im Datenbuch sind die Grenzwerte für die maximalen Anstiegs- und Abfallzeiten angegeben.

Zum Ansteuern von CMOS-Schaltungen wird kein Strom benötigt, da FET-Transistoren leistungslos gesteuert werden. Nur in der Umschaltphase wird ein geringer Strom benötigt. Die Ursache liegt in der großen Eingangskapazität. Sie muss beim Schalten umgeladen werden. Je höher die Frequenz ist, um so höher ist auch der Leistungsverbrauch von der CMOS-Logik gegenüber der TTL-Logik. Hierzu einige Beispiele:

Frequenz	74ALS00	74HC00
0.1 MHz	1.5 mW	0.05 mW
1.0 MHz	1.7 mW	0.5 mW
2.0 MHz	2.0 mW	1.0 mW
5.0 MHz	2.5 mW	2.5 mW
10 MHz	3.0 mW	4.8 mW (!)

Tabella 2.1

Der Leistungsverbrauch von HCMOS- Logik oberhalb 5 MHz ist größer als bei ALS- TTL- Logik.

Unbenutzte Eingänge dürfen nicht offen gelassen werden. Sie können sich elektrostatisch oder durch Leckströme auf eine Spannung nahe der Umschaltsschwelle aufladen (ca. $U_{CC}/2$).

2.2 CMOS- Logik

2.2.1 CMOS- Inverter Grundsaltung

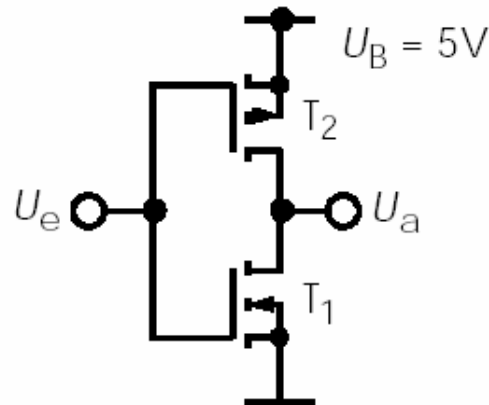


Abbildung 2.2

Seien die Schwellenspannungen des n-Kanal- und p-Kanal-Transistors $U_{PN}=2.5V$ und $U_{PP}=-2.5V$.

$U_e = 0V$ (LOW):

T2 ist leitend, da Source mit U_B verbunden ist. Damit ergibt sich ein Potentialunterschied zwischen Gate und Source von $U_e - U_B = -5V < U_{pp}$
T1 sperrt, da $U_e < U_{pn}$. $U_a = U_B = \text{HIGH}$

$U_e = U_B$ (HIGH):

T2 sperrt, da ein Potentialunterschied Gate-Source $U_e - U_B = 0V > U_{pp}$.
T1 ist leitend, da $U_e > U_{pn}$. Damit ist U_a mit Masse verbunden $\Rightarrow U_a = 0V = \text{LOW}$
Es fließt kein statischer Strom von U_B nach GND, da immer einer der Transistoren gesperrt ist.

Die Gates der Transistoren, die mit dem Gattereingang verbunden sind, stellen allerdings Kapazitäten dar, die bei Umschaltvorgängen umgeladen werden. Deshalb fließen bei zusammen geschalteten CMOS Gattern bei Umschaltvorgängen kurzzeitig kleine Ströme.

Der Umschaltpunkt liegt aus Symmetriegründen immer bei der halben Betriebsspannung. Aus diesem Grund muss bei einer Betriebsspannung von 5V der H-Pegel über 3.5V liegen, wie man in **Abbildung 2.3** erkennen kann. Um ein CMOS –Gatter mit einem TTL-Ausgang anzusteuern, ist ein zusätzlicher Pull-up-Widerstand erforderlich, welcher eine Pegelanpassung zwischen den unterschiedlichen Logikpegeln vornimmt (näheres Kapitel 2.6).

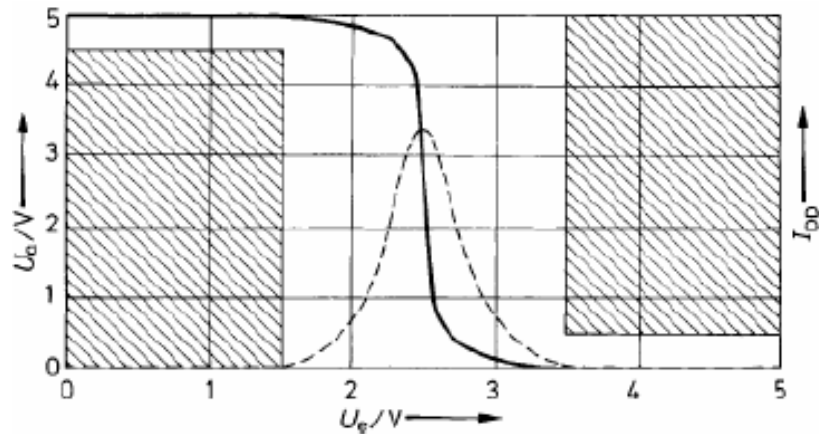


Abbildung 2.3:
Übertragungskennlinie bei 5V Betriebsspannung.
Schraffiert: Toleranzgrenzen; Gestrichelt Stromaufnahme

2.2.2 CMOS-NAND

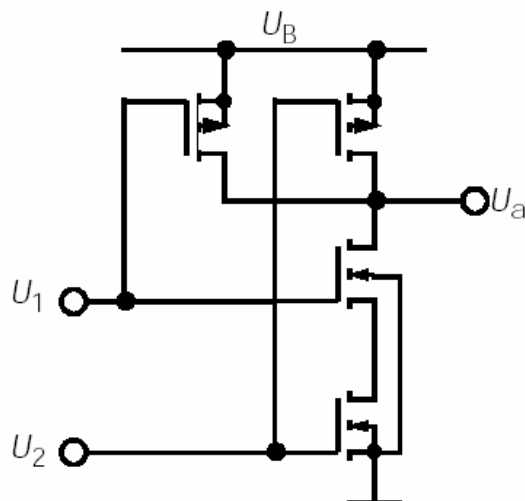


Abbildung 2.4

Ist mindestens einer der beiden Eingänge gleich LOW, so leitet mindestens einer der parallelen p-Kanal-Transistoren. Gleichzeitig sperrt mindestens einer der in Reihe geschalteten n-MOSFETs .

$\Rightarrow U_a = U_B = \text{HIGH}$

Sind beide Eingänge HIGH, so sperren beide p- Kanal-Transistoren und beide n-Kanal-Transistoren leiten.

$\Rightarrow U_a = 0V = \text{LOW}$

2.2.3 CMOS-NOR

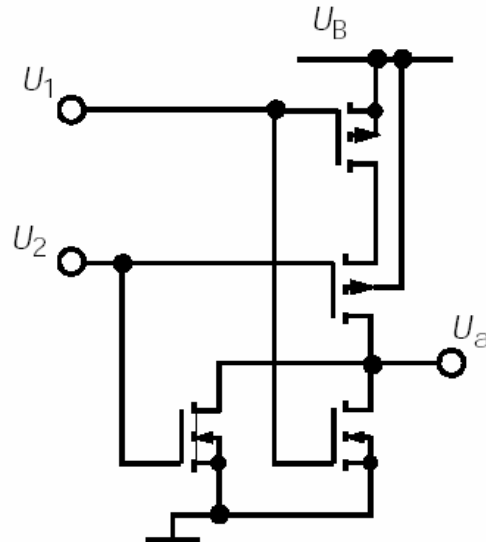


Abbildung 2.5

Ist mindestens einer der beiden Eingänge HIGH, sperrt mindestens einer der in Reihe geschalteten p-Kanal-Transistoren. Dadurch wird einer der beiden parallel geschalteten n-Kanal-Transistoren leitend.

⇒ $U_a = 0V = \text{LOW}$

Sind beide Eingänge LOW, leiten beide p-Kanal-Transistoren und beide n-Kanal-Transistoren sperren.

⇒ $U_a = U_B = \text{HIGH}$

2.3 High Speed CMOS

Die 74HC... Serie wurde 1981 eingeführt, und erreicht die Schaltgeschwindigkeiten der TTL-Reihe 74LS. Sie ist ausgelegt für eine Betriebsspannung zwischen 2V und 6V. Viele Funktionen der TTL-LS-Reihe sowie einige der Reihe CMOS 4000 sind in die neue HCMOS Reihe übernommen worden. Die entsprechenden 74 HC Bausteine tragen die gleiche Ziffernbezeichnung wie die Vorgängertypen und sind mit diesen jeweils pinkompatibel. Eine gemischte Anwendung ist jedoch wegen unterschiedlicher Pegelwerte nicht ohne weiters möglich, meistens nur über geeignete Interfaceschaltungen.

2.4 HCTMOS

Große Verbreitung seit ihrer Einführung 1981 hat die CMOS- Baureihe 74 HC / 74 HCT gefunden. Auf der Grundlage einer weiterentwickelten CMOS-Si- Gate Technologie und durch angepasste Schaltungsstrukturen ist die HCT- Reihe pin- und funktionskompatibel zu den LS-TTL- Reihen. Auch die Lauf- und Verzögerungszeiten liegen in der Größenordnung von LS-TTL- Schaltungen. Abbildung 2.6 zeigt die typischen Elemente dieser Baureihe: Eingangsstufe mit Pegelanpassung, Verknüpfungsschaltung, Ausgangspuffer und Diodenschutzschaltungen an Ein- und Ausgängen.

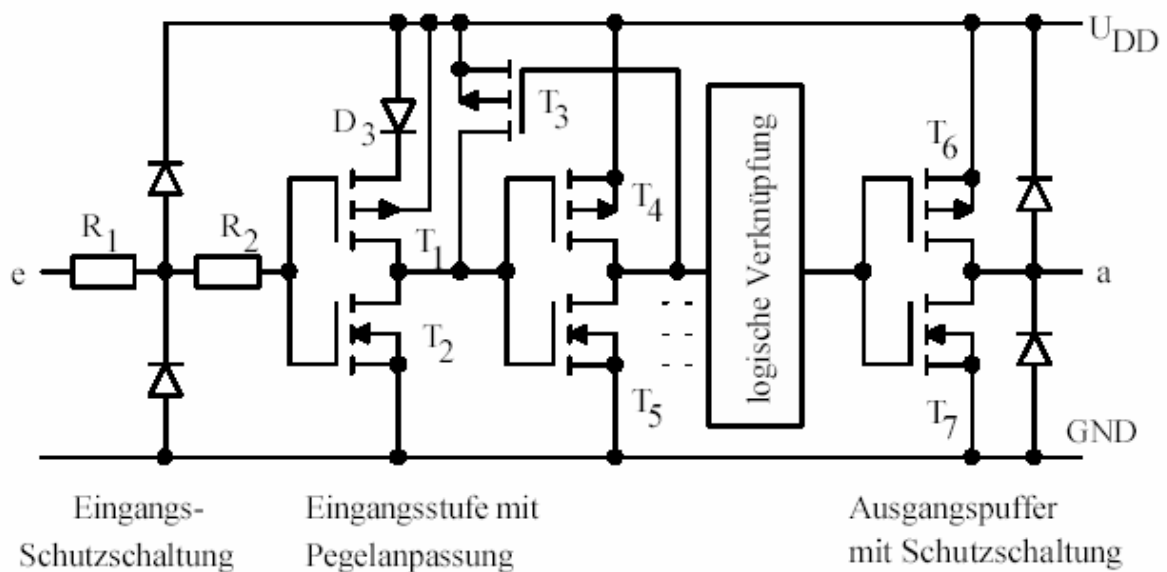


Abbildung 2.6:
Typische Grundschaltung der CMOS-Baureihe 74 HCT

Die Transistoren T_1 , T_2 und T_4 , T_5 bilden die übliche CMOS- Eingangsstufe mit Puffer. Zusätzlich erfolgt mit der Diode D_3 und Transistor T_3 eine Pegelumsetzung, mit der die Umschaltswelle der HCT- Eingänge auf etwa 1,4 V festgelegt wird. Damit wird *spannungsmäßig* TTL-Kompatibilität ohne externe Bauelemente erreicht (Abbildung 2.7). Bei der Anschaltung an LS-TTL- Gatter ist eine erhöhte Stromaufnahme von HCT-Eingängen zu beobachten. Bei niedrigen Eingangs-H- Pegeln (U_{OH} , LSTTL 2,7 V) wird der p-Kanal- Transistor T_1 nicht völlig gesperrt und es fließt ein Querstrom zwischen U_{DD} und GND (evtl.zusätzlichen pull-up-Widerstand einfügen).

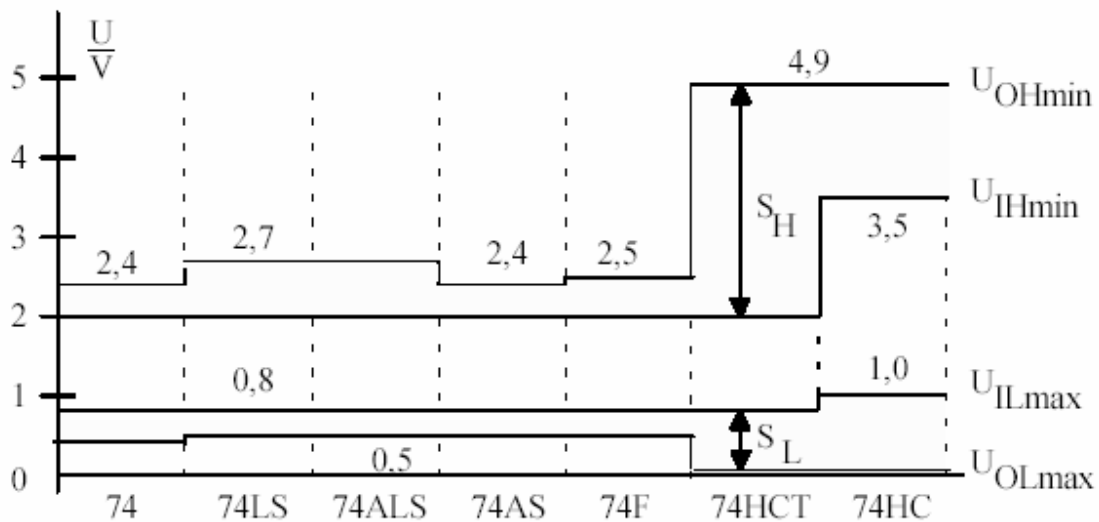


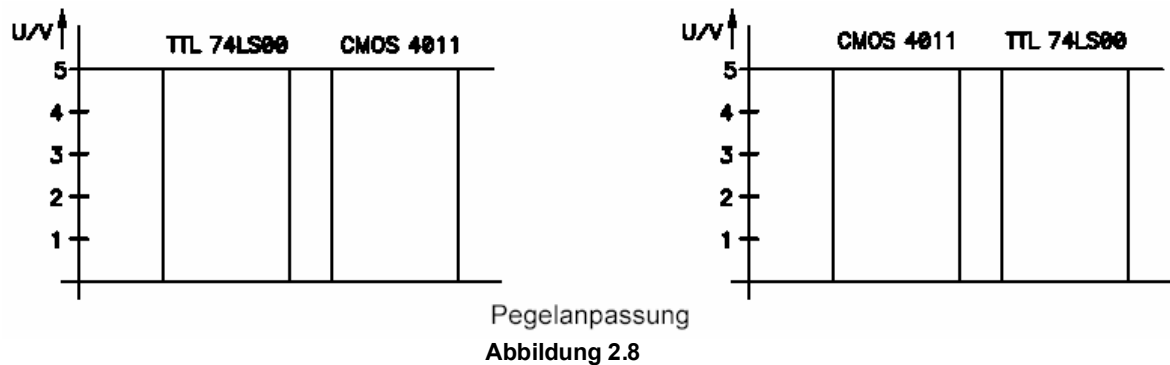
Abbildung 2.7
Logikpegel verschiedener Schaltkreisfamilien

2.5 ACL (Advanced- CMOS- Logik)

Schnellste CMOS- Logikfamilie mit einer Gatterverzögerungszeit von 3ns. Diese hohe Geschwindigkeit kombiniert mit einer ausgezeichneten Treiberfähigkeit von 24mA erfordern ein neues Pinout, das so genannte Centerpinning; d.h. die Pins werden anders beschaltet. Erfordert vermehrt HF -mäßige Betrachtung beim Entwurf des Leiterplattenlayouts. Über 100 Funktionen sind möglich. Zunächst wird es neben dem Hersteller TEXAS-INSTRUMENTS die Secondsource SIGNETICS geben. Diese Logikfamilie ist dort empfohlen, wo die Geschwindigkeit und/oder die Treiberfähigkeit unzureichend ist.

2.6 Interfaceschaltungen bzw. Pegelanpassung

Bei der Zusammenschaltung von CMOS \Rightarrow TTL bzw TTL \Rightarrow CMOS wird ein gemeinsamer Spannungspegel von 5V gewählt, für die Familien 4000B, 74HC sowie 74 LS.



2.6.1 Pegelanpassung CMOS - TTL

Praktisch erfolgt der Übergang von CMOS- auf TTL-Schaltkreise meist wegen der höheren Treiberströme bipolarer Schaltkreise, seltener wegen der größeren Schaltgeschwindigkeit. Beim Zusammenschalten von CMOS- Schaltungen mit unterschiedlichen Speisespannungen oder von CMOS- mit TTL-Schaltkreisen müssen die zulässigen Spannungspegel und gleichzeitig die entsprechenden Ströme eingehalten werden (Grenzwerte beachten).

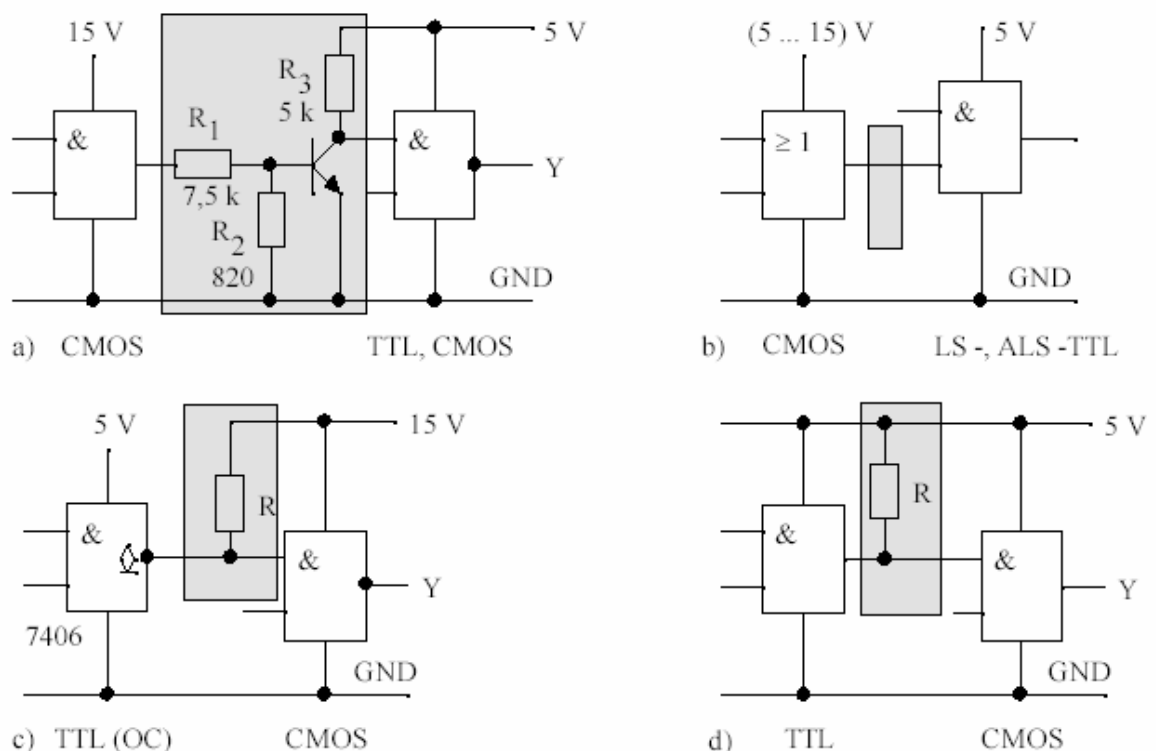


Abbildung 2.9:
Pegelwandlerschaltungen zur Kopplung CMOS - TTL

In der Schaltung nach Abbildung 2.9 a) erfolgt die Pegelanpassung über einen Transistorschalter. Die Negation dieser Transistorstufe ist beim logischen Entwurf zu berücksichtigen. Die angegebenen Widerstandswerte sind als Orientierungswerte zu verstehen. R_1 und R_2 sind ein Spannungsteiler, die z.B. eine Ausgangsspannung von 2V so aufteilen, dass an der Basis des Transistors eine Spannung unter 0,7V anliegt. Obwohl 2V ein LOW- Pegel wäre, würde der Transistor trotzdem durchschalten und ein HIGH am Eingang liefern. Eine Schaltung mit komplementärem Transistor ist ebenfalls möglich. Der Übergang von CMOS ($U_{DD} > 5\text{ V}$) auf Schottky- TTL- Eingänge, ggf. direkt erfolgen (Abbildung 2.9 b), wenn es die Strombilanz gestattet. Die Pegelwandlung TTL - CMOS ist i.a. mit Open-Collector- Gattern aus den TTL-Reihen möglich (Abbildung 2.9 c). Dabei ist die Spannungsfestigkeit des TTL-Ausgangstransistors zu beachten. Bei 5 V- Versorgung des CMOS- Gatters kann auch ein Gegentakt-TTL- Ausgang mit zusätzlichem Pull-Up-Widerstand $R = (2 \dots 10)\text{ k}\Omega$ eingesetzt werden (Abbildung 2.9 d), der dadurch erhöhte L-Ausgangsstrom des TTL-Gatters ist zu beachten.

2.7 Transmission Gate

Logische Verknüpfungen kann man auch mit Schaltern realisieren. Davon macht man auch in der MOSFET Technik gebrauch, da diese häufig eine Schaltungsvereinfachung mitführt. Das zusätzlich, zu den konventionellen Gattern verwendeten Bauelement wird als Transmission-Gate bezeichnet (Abbildung 2.10).

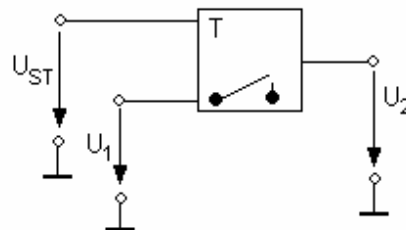


Abbildung 2.10

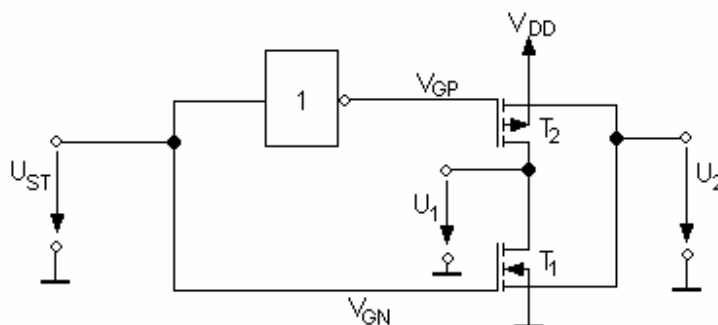


Abbildung 2.11

Die Funktion des Transmission- Gate besteht darin, dass Eingang und Ausgang entweder niederohmig verbunden oder getrennt werden. Dabei sind die beiden Anschlüsse gleichberechtigt. Das Signal kann also in beiden Richtungen mit sehr kleiner Verzögerung übertragen werden.

Die schaltungstechnische Realisierung in CMOS Technik ist in Abbildung 2.11 dargestellt. Der eigentliche Schalter wird durch die beiden Mosfets T1 und T2 gebildet. Die Ansteuerung erfolgt mit Hilfe des Inverters mit komplementärem Gatepotential. Wenn $U_{ST}=0$ ist, wird $V_{GN}=0$ und $V_{GP}=V_{DD}$. Dadurch sperren beide Mosfets, wenn wir voraussetzen, dass die Signalspannungen U_1 und U_2 im Bereich von 0 und V_{DD} liegen. $U_{ST}=V_{DD}$, wird $V_{GN}=V_{DD}$ und $V_{GP}=0$. In diesem Fall sperren die zwei Transistoren.

2.8 Vergleich CMOS-TTL

7.4 Schaltungstechnische Realisierung der Grundfunktionen

649

Familie	Typ	Präfix	Betriebs- spannung	Verlust- leistung P_V	Gatter- laufzeit t_{pd}	Laufzeit- Leistungs- Produkt $P_V \cdot t_{pd}$	
TTL							
standard	7400	SN, MC, DM, \perp	5 V	10 mW	10 ns	100 pJ	
LP Schottky	74 LS 00	SN, MC, DM, \perp	5 V	2 mW	10 ns	20 pJ	
Schottky	74 S 00	SN, DM, \perp	5 V	19 mW	3 ns	57 pJ	
LP advanced	74 ALS 00	SN, MC, DM	5 V	1 mW	4 ns	4 pJ	
fast	74 F 00	F, MC, \perp , SN	5 V	4 mW	3 ns	12 pJ	
advanced	74 AS 00	SN	5 V	10 mW	1,5 ns	15 pJ	
ECL							
standard	10.100	MC, F, \perp	-5,2 V	35 mW ¹	2 ns	60 pJ	
	10.200	MC	-5,2 V	35 mW ¹	1,5 ns	50 pJ	
high speed	1.600	MC	-5,2 V	70 mW ¹	1 ns	70 pJ	
	10 H 100	MC	-5,2 V	35 mW ¹	1 ns	35 pJ	
	100.100	F, \perp	-4,5 V	50 mW ¹	0,75 ns	38 pJ	
	10 E 100	MC	-5,2 V	50 mW ¹	0,4 ns	20 pJ	
	100 E 100	MC	-4,5 V	40 mW ¹	0,4 ns	16 pJ	
CMOS							
standard	4.000	TC	5 V	0,3 $\frac{mW}{MHz}$	90 ns	30 $\frac{pJ}{MHz}$	
	14.000	MC		15 V	3 $\frac{mW}{MHz}$	30 ns	90 $\frac{pJ}{MHz}$
	74 C 00	MM					
high speed	74 HC 00	{ MC, MM, SP } { SN, TC, PC }	5 V		0,5 $\frac{mW}{MHz}$	10 ns	5 $\frac{pJ}{MHz}$
	74 HCT 00						
advanced	74 AC 00	{ SN, PC, F } { SN, F }	5 V	0,8 $\frac{mW}{MHz}$	3 ns	2 $\frac{pJ}{MHz}$	
	74 ACT 00						
low voltage	74 LV 00	SN, PC, MM, TC	3,3 V	0,6 $\frac{mW}{MHz}$	14 ns	8 $\frac{pJ}{MHz}$	
	74 LVC 00	SN, PC, MM, TC	3,3 V	0,5 $\frac{mW}{MHz}$	7 ns	4 $\frac{pJ}{MHz}$	
	74 ALVC 00	SN, PC, MM, TC	3,3 V	0,4 $\frac{mW}{MHz}$	4 ns	2 $\frac{pJ}{MHz}$	

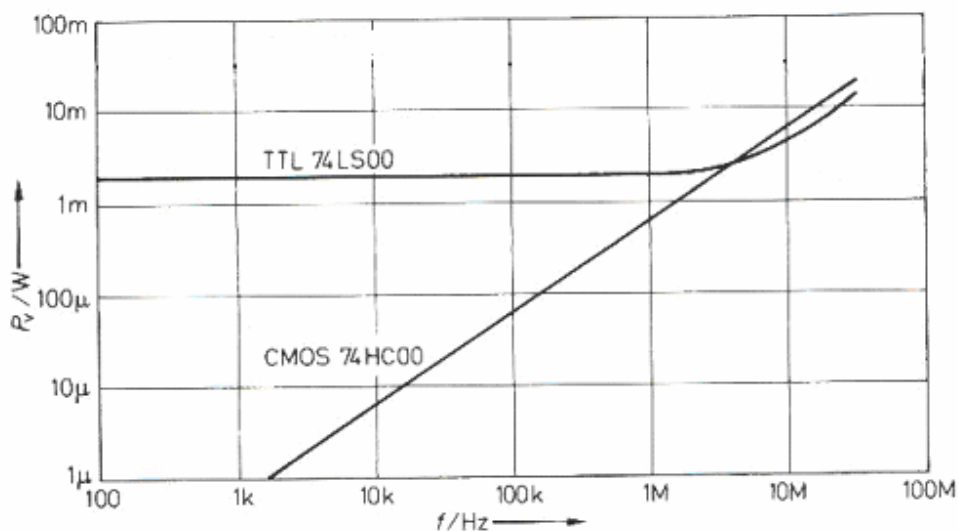
¹ inklusive Emittierwiderstand mit 50 Ω nach $V_{EE} = -2$ V, der im Mittel 10 mW beiträgt

Tab. 7.12. Übersicht über die gebräuchlichsten Familien in TTL-, ECL- und CMOS Technik. LP bedeutet low power

Tabelle 2

Die vorhergehende **Tabelle 2** gibt eine Übersicht über die gebräuchlichen Logikfamilien. Dabei beziehen sich die Daten jeweils auf ein einfaches Gatter. Man erkennt, dass jede Schaltungstechnik in verschiedenen Ausführungen erhältlich ist, die sich durch Verlustleistung und Gatterlaufzeit unterscheiden. Ein Merkmal über die Qualität einer Schaltungsfamilie ist das Laufzeit – Leistungsprodukt. Es gibt an ob ein Gatter trotz niedriger Verlustleistung eine niedrige Gatterlaufzeit besitzt. So erkennt man, dass die neuern Familien wie 74 AS, 74 ALS, 74 F ein bemerkenswert niedriges Laufzeit – Leistungsprodukt besitzen. Das kommt daher, dass sie dielektrisch isoliert sind und deshalb kleinere Schaltkapazitäten besitzen als ältere Sperrschicht- isolierte Familien. Einen ebenso großen technologischen Fortschritt stellen die Silicon – Gate CMOS Schaltungen dar. Sie sind bei sonst gleichen Eigenschaften um einen Faktor 10 schneller als die Metal – Gate – Typen.

Kennlinie: Frequenzabhängigkeit der Verlustleistungen



Die Leistungsaufnahme der Logikfamilien ist sehr unterschiedlich. Man erkennt in der oberen Kennlinie, dass die CMOS Schaltungen bei niedrigen Frequenzen sehr günstig sind. Oberhalb von 1 MHz sind jedoch die Unterschiede in der Verlustleistung zwischen CMOS und TTL – Schaltungen gering. ECL Schaltungen haben abgesehen von ihrem hohen Preis bei Frequenzen über 30MHz nur Vorteile.

Typische TTL – und CMOS Spannungs- und Strompegel für eine Betriebsspannung von +5V

Familie	Eingangspegel		Ausgangspegel		Eingangspegel		Ausgangspegel	
	$U_{IL \max}$	$U_{IH \min}$	$U_{OL \max}$	$U_{OH \min}$	$I_{IL \max}$	$I_{OL \min}$	$I_{OL \max}$	$I_{OH \max}$
7400	0,8 V	2 V	0,4 V	2,4 V	1,6 mA	40 μ A	16 mA	0,4 mA
74LS00	0,8 V	2 V	0,4 V	2,7 V	0,4 μ A	20 μ A	8 mA	0,4 mA
4000	1,5 V	3,5 V	0,05 V	4,95 V	1 μ A	1 μ A	0,5 mA	0,5 mA
74C00	1,5 V	3,5 V	0,5 V	4,5 V	1 μ A	1 μ A	0,4 mA	0,4 mA
74HC00	1 V	3,5 V	0,1 V	4,9 V	1 μ A	1 μ A	4 mA	4 mA
74HCT00	0,8 V	2 V	0,1 V	4,9 V	1 μ A	1 μ A	4 mA	4 mA

$U_{IL \max}$ = max. Eingangsspannung, die zur Erzeugung von logisch 0 (Low) erforderlich ist.

$U_{IH \min}$ = min. Eingangsspannung, die zur Erzeugung von logisch 1 (High) erforderlich ist.

$U_{OL \max}$ = max. Ausgangsspannung, die zur Erzeugung von logisch 0 (Low) erforderlich ist.

$U_{OH \min}$ = min. Ausgangsspannung, die zur Erzeugung von logisch 1 (High) erforderlich ist.

$I_{IL \max}$ = max. Eingangsstrom bei logisch 0 (Low)

$I_{OL \min}$ = min. Eingangsstrom bei logisch 1 (High)

$I_{OL \max}$ = max. Ausgangsstrom, der bei logisch 0 (Low) aufgenommen werden kann.

$I_{OH \max}$ = max. Ausgangsstrom, der bei logisch 1 (High) verfügbar ist. (Source)